



**1 D4 - TEKKOM B**

**MULTIPLEXER DEMULTIPLEXER**





Nama Kelas NRP

Dosen

Mata Kuliah

:

:

:

:

:

Hari/Tgl. Praktikum :

Septian Bagus Jumantoro

1 – D4 Teknik Komputer B

3221600039

Reni Soelistijorini, B.Eng,.M.T. Praktikum Rangkaian Logika 1 Senin, 18 Oktober 2021

# TUJUAN:

**PERCOBAAN 6 MULTIPLEXER DEMULTIPLEXER**

* + Memahami prinsip kerja rangkaian Multiplexer-Demultiplexer
  + Membuat rangkaian Multiplexer dan Demultiplexer dari gerbang logika

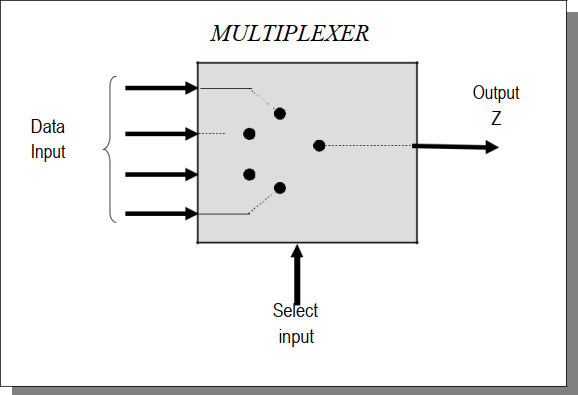
# PERALATAN

Logic Circuit Trainer KL

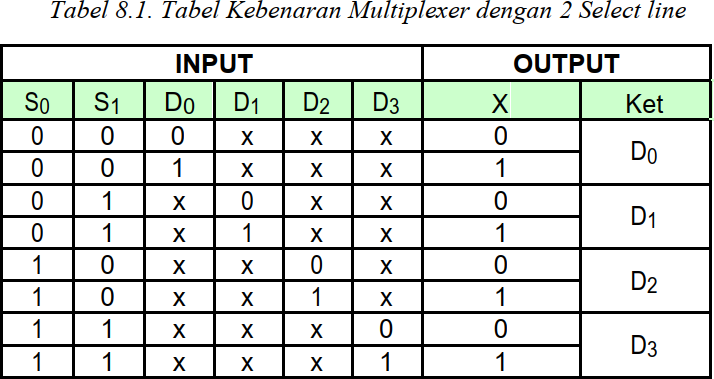
# TEORI:

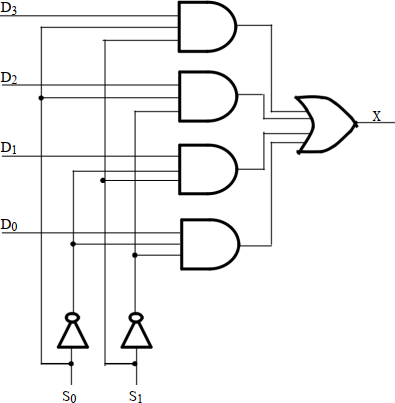
1. MULTIPLEXER

Sebuah Multiplexer adalah rangkaian logika yang menerima beberapa input data digital dan menyeleksi salah satu dari input tersebut pada saat tertentu, untuk dikeluarkan pada sisi output

Seleksi data-data input dilakukan oleh *selector line*, yang juga merupakan input dari multiplexer tersebut. Blok diagram sebuah multiplexer ditunjukkan pada Gambar 8.1

Gambar 8.1. Blok Diagram *Multiplexer* Jumlah data input maksimum pada multiplexer adalah 2jumlah Select line Tabel Kebenaran sebuah Multiplexer ditunjukkan pada Tabel 8.1

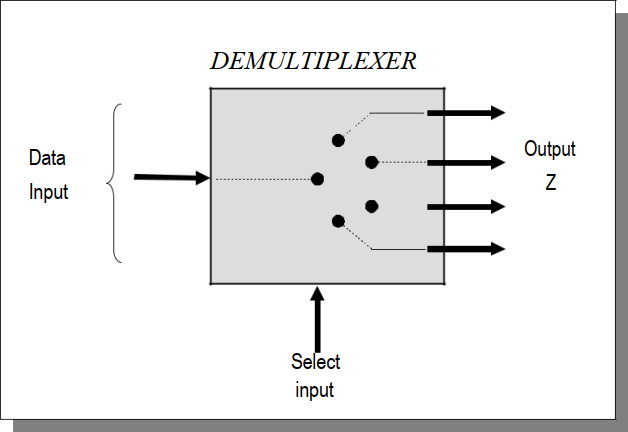


Rangkaian Multiplexer ditunjukkan pada Gambar 8.2

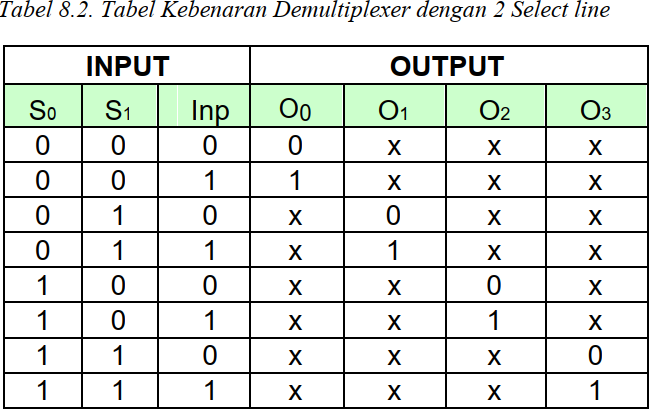
Gambar 8.2. Rangkaian Multiplexer 4x1

1. *DEMULTIPLEXER*

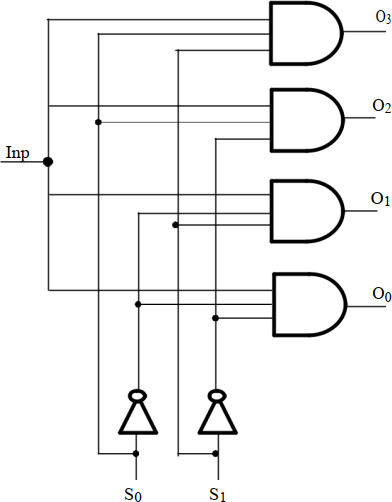
Sebuah Demultiplexer adalah rangkaian logika yang menerima satu input data dan mendistribusikan input tersebut ke beberapa output yang tersedia.

Seleksi data-data input dilakukan oleh selector line, yang juga merupakan input dari demultiplexer tersebut. Blok diagram sebuah demultiplexer ditunjukkan pada Gambar 8.3

Gambar 8.3. Blok Diagram Demultiplexer

Tabel Kebenaran sebuah Demultiplexer ditunjukkan pada Tabel 8.2.

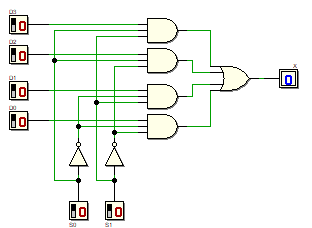
Rangkaian Demultiplexer ditunjukkan pada Gambar 8.4.



Gambar 8.4. Rangkaian Demultiplexer 1x4

# PROSEDUR

1. Buat Rangkaian Multiplexer 4x1 seperti Gambar 8.2. Tuliskan hasilnya pada Tabel Kebenaran. Bandingkan Tabel Kebenaran yang anda buat dengan Tabel 8.1.

Rangkaian multiplexer 4x1:

Tabel Kebenaran Rangkaian 8.2

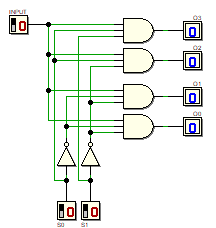
|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **INPUT** | | | | | | **OUTPUT** | |
| **S0** | **S1** | **D0** | **D1** | **D2** | **D3** | **X** | **KET** |
| 0 | 0 | 0 | X | X | X | 0 | D0 |
| 0 | 0 | 1 | X | X | X | 1 |
| 0 | 1 | X | 0 | X | X | 0 | D1 |
| 0 | 1 | X | 1 | X | X | 1 |
| 1 | 0 | X | X | 0 | X | 0 | D2 |
| 1 | 0 | X | X | 1 | X | 1 |
| 1 | 1 | X | X | X | 0 | 0 | D3 |
| 1 | 1 | X | X | X | 1 | 1 |

Tabel Kebenaran Rangkaian 8.1

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **INPUT** | | | | | | **OUTPUT** | |
| **S0** | **S1** | **D0** | **D1** | **D2** | **D3** | **X** | **KET** |
| 0 | 0 | 0 | X | X | X | 0 | D0 |
| 0 | 0 | 1 | X | X | X | 1 |
| 0 | 1 | X | 0 | X | X | 0 | D1 |
| 0 | 1 | X | 1 | X | X | 1 |
| 1 | 0 | X | X | 0 | X | 0 | D2 |
| 1 | 0 | X | X | 1 | X | 1 |
| 1 | 1 | X | X | X | 0 | 0 | D3 |
| 1 | 1 | X | X | X | 1 | 1 |

Berdasarkan kedua tabel kebenaran tersebut dapat diketahui bahwa keduanya memiliki input dan output yang sama

1. Buat Rangkaian Demultiplexer 1x4 seperti Gambar 8.4. Tuliskan hasilnya pada Tabel Kebenaran. Bandingkan Tabel Kebenaran yang anda buat dengan Tabel 8.2.

Rangkaian Demultiplexer 1x4:

Tabel Kebenaran 8.4

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **INPUT** | | | **OUTPUT** | | | |
| **S0** | **S1** | **INPUT** | **O0** | **O1** | **O2** | **O3** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 |

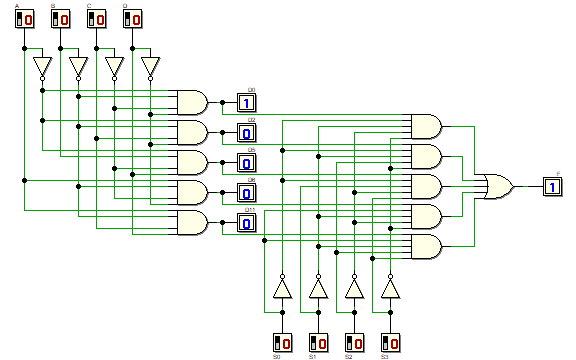
Tabel Kebenaran 8.2

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **TABEL KEBENARAN 8.2** | | | | | | | |
| **INPUT** | | | | | | **OUTPUT** | |
| **S0** | **S1** | **D0** | **D1** | **D2** | **D3** | **X** | **KET** |
| 0 | 0 | 0 | X | X | X | 0 | D0 |
| 0 | 0 | 1 | X | X | X | 1 |
| 0 | 1 | X | 0 | X | X | 0 | D1 |
| 0 | 1 | X | 1 | X | X | 1 |
| 1 | 0 | X | X | 0 | X | 0 | D2 |
| 1 | 0 | X | X | 1 | X | 1 |
| 1 | 1 | X | X | X | 0 | 0 | D3 |
| 1 | 1 | X | X | X | 1 | 1 |

Berdasarkan tabel kaebnaran 8.4 hanya memiliki 1 input lalu di AND kan dengan S0 dan S1, yang menghasilkan output 1 dari salah satu O0 , O1 , O2 , O3. Sebaliknya untuk tabel keenaran 8.2 memiliki input D0, D1, D2, D3 lalu di AND kan dengan S0 dan S1 yang menghasilkan output berdasarkan S0, S1 dan salah satu dari D0, D1, D2, D3.

# TUGAS

Buat rangkaian Multiplexer yang dapat memilih output dari fungsi yang dinyatakan dalam persamaan SOP : *F (a,b, c, d )* = Σ (0,2,5,8,11)

F =

# KESIMPULAN

Berdasarkan praktikum dapat disimpulkan bahwa rangkaian logika dapat dirubah menjadi Multiplexer yaitu suatu rangkaian yang menerima beberapa input data digital dan menyeleksi salah satu dari input tersebut pada saat tertentu, untuk dikeluarkan pada sisi output. Juga dapat dirubah menjadi Demultipexer yaitu suatu rangkaian logika yang menerima satu input data dan mendistribusikan input tersebut ke beberapa output yang tersedia.